

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-250691

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

G11C 29/00
G11C 11/401
H01L 27/108
H01L 21/8242

(21)Application number : 10-046440

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.02.1998

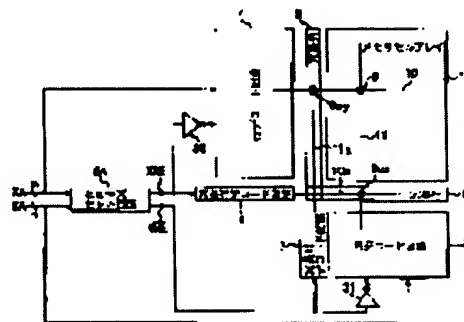
(72)Inventor : FUKUDA MAKOTO
NAMEGAWA TOSHIMASA

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage device for flexibly saving a defective cell on a memory cell array, and improving the flexibility of redundancy.

SOLUTION: A fuse set circuit 8A preliminarily stores a defective address on an address space allocated to a memory cell array 1 and information for specifying the dimension of the defective address, and compares each address of outside addresses XA and YA with the stored defective address for detecting the coincidence. Then, when the outside address is made coincident with the defective address, a redundant line 2 or a redundant line 3 constituting a redundant cell array is selected based on information indicating the dimension of the defective address so that the defective cell can be replaced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-250691

(43) 公開日 平成11年(1999) 9月17日

(51) IntCl⁶

G 1 1 C 29/00

11/401

H 0 1 L 27/108

21/8242

識別記号

6 0 3

F I

G 1 1 C 29/00

11/34

H 0 1 L 27/10

6 0 3 F

3 7 1 D

6 9 1

審査請求 未請求 請求項の数4 O L (全 12 頁)

(21) 出願番号

特願平10-46440

(22) 出願日

平成10年(1998) 2月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 福田 良

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 行川 敏正

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

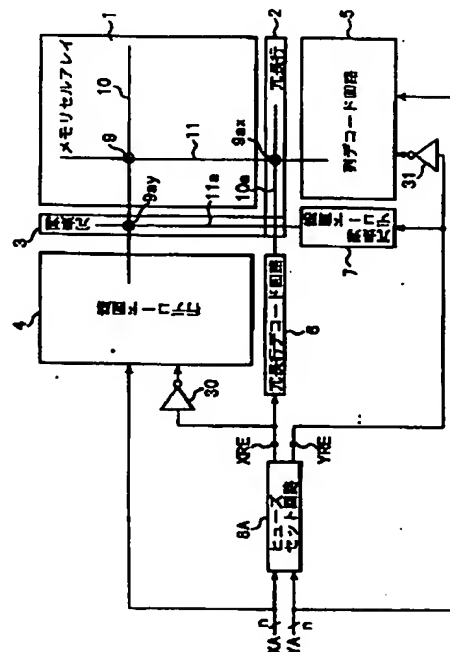
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 メモリセルアレイ上の不良セルを柔軟に救済することができ、リダンダンシのフレキシビリティを向上させることのできる半導体記憶装置を提供すること。

【解決手段】 ヒューズセット回路8 Aは、メモリセルアレイ1に割り付けられたアドレス空間上の不良アドレスと、この不良アドレスの次元を特定するための情報とをあらかじめ記憶し、外部アドレスXA、YAの各アドレスと、記憶した不良アドレスとを比較して、これらの一致を検出する。そして、外部アドレスが不良アドレスと一致した場合、不良アドレスの次元を表す情報に基づき冗長セルアレイをなす冗長行2または冗長列3を選択して不良セルを置換する。



【特許請求の範囲】

【請求項1】 行列状にメモリセルが配列されてなり、二次元のアドレス空間が割り付けられたメモリセルアレイと、

上記メモリセルアレイに存在する不良セルを救済するための冗長行と、

上記メモリセルアレイに存在する不良セルを救済するための冗長列と、

外部アドレスをデコードして上記メモリセルアレイの行を選択するための行デコード回路と、

上記外部アドレスをデコードして上記メモリセルアレイの列を選択するための列デコード回路と、

上記メモリセルアレイの行または列のいずれか一方の不良アドレスを記憶し、該不良アドレスと上記外部アドレスとの一致を検出して、上記不良セルを置換する置換制御回路と、

を備え、

上記置換制御回路は、上記冗長行または上記冗長列のいずれか一方を選択することを特徴とする半導体記憶装置。

【請求項2】 行列状にメモリセルが配列されてなり、二次元のアドレス空間が割り付けられたメモリセルアレイと、

上記メモリセルアレイに存在する不良セルを救済するための複数の冗長行と、

上記メモリセルアレイに存在する不良セルを救済するための複数の冗長列と、

外部アドレスをデコードして上記メモリセルアレイの行を選択するための行デコード回路と、

上記外部アドレスをデコードして上記メモリセルアレイの列を選択するための列デコード回路と、

上記メモリセルアレイの行または列のいずれか一方の不良アドレスを記憶し、該不良アドレスと上記外部アドレスとの一致を検出して、上記不良セルを置換する複数の置換制御回路と、

を備え、

上記複数の置換制御回路のそれぞれは、上記冗長行または上記冗長列のいずれか一方を選択することを特徴とする半導体記憶装置。たことを特徴とする半導体記憶装置。

【請求項3】 上記置換制御回路は、

上記不良アドレスとして行アドレスまたは列アドレスのいずれか一方を記憶する第1の記憶部と、

上記第1の記憶部に記憶された不良アドレスが行アドレスであるか列アドレスであるかを特定するための情報を記憶する第2の記憶部と、

上記外部アドレスの行アドレスと上記第1の記憶部に記憶された不良アドレスとの一致を検出する行アドレス一致検出回路と、

上記外部アドレスの列アドレスと上記第1の記憶部に記

憶された不良アドレスとの一致を検出する列アドレス一致検出回路と、

上記第2の記憶部に記憶された情報に基づき上記行アドレス一致検出回路または上記列アドレス一致検出回路のいずれか一方の検出結果を有効とするゲート手段と、を備えたことを特徴とする請求項1または2のいずれかに記載の半導体記憶装置。

【請求項4】 上記第1の記憶部の一部は、上記不良アドレスとしての行アドレスと列アドレスとのビット数の大小関係に応じて上記第2の記憶部の一部を兼ねたことを特徴とする請求項3に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に係り、特にメモリセルアレイ上の不良メモリセルを救済するための冗長回路を備えた半導体記憶装置に関する。

【0002】

【従来の技術】近年、ダイナミックRAMに代表されるメモリの大容量化に伴い、メモリセルのさらなる微細化が推し進められている。メモリセルの微細化がすすむと、各種の欠陥が発生しやすくなる。このため、全ビットのメモリセルを正常に動作させることが困難となり、良品の歩留まりが低下する。そこで、一般に大容量のメモリには、欠陥により不良化したメモリセルを救済するための冗長回路が設けられている。

【0003】図7に、冗長回路を備えた従来の半導体記憶装置の概略構成例を示す。メモリセルアレイ1は、所定容量の正規のメモリセルを行および列のマトリックス状に配列して構成される。また、冗長行2および冗長列3は、このメモリセルアレイ1に存在する不良セルを救済するための冗長メモリセルを配列して構成される。メモリセルアレイ1には、外部からのnビットの行アドレスXAと、nビットの列アドレスYAとで表される2次元のアドレス空間が割り付けられている。

【0004】この例では、行アドレスXAと列アドレスYAは、共にnビットのビット長を有するものとしているが、行アドレスXAと列アドレスYAの大きさは、メモリセルアレイ1の容量に応じて定められる。冗長行2は、行アドレスXAに対する不良を救済するためのもので、1本または所定本数の行から構成される。また、冗長列3は、列アドレスYAに対する不良を救済するためのもので、同様に1本または所定本数の列から構成される。

【0005】行デコード回路4は、行アドレスXAをデコードして、メモリセルアレイ1の行を選択するためのもので、行アドレスXAに基づきメモリセルアレイ1のXAアドレス選択線10（ワード線）を駆動するように構成される。また、列デコード回路5は、メモリセルアレイ1の列を選択するためのもので、外部アドレスYAに

10

20

30

40

50

基づきYアドレス選択線11(ビット線)を選択するように構成される。

【0006】書き込みや読み出し等の通常の動作では、行デコード回路4と列デコード回路5とによりそれぞれ選択されたXアドレス選択線10とYアドレス選択線11との交点に位置する正規のメモリセル9がアクセスされて、このメモリセル9に対してデータの読み出しや書き込みが行われる。

【0007】冗長行デコード回路6は、冗長行2を選択するためのもので、後述のヒューズセット回路8-3により活性化されて冗長行2のXアドレス選択線10aを選択するように構成される。また、冗長列デコード回路7は、冗長列3を選択するためのもので、後述のヒューズセット回路8-4により活性化されて冗長列3のYアドレス選択線11aを選択するように構成される。

【0008】冗長行デコード回路6により冗長行2が選択された場合、列デコード回路5により選択されたYアドレス選択線11と冗長行2のXアドレス選択線10aとの交点に位置する予備のメモリセル9axがアクセスされる。また、冗長列デコード回路7により冗長列3が選択された場合には、行デコード回路4により選択されたXアドレス選択線10と冗長列3のYアドレス選択線11aとの交点に位置する予備のメモリセル9ayがアクセスされる。

【0009】ヒューズセット回路8-3は、外部の行アドレスXAが、このヒューズセット回路8-3にあらかじめ記憶された不良の行アドレスと一致した場合、冗長列活性化信号XREにより上述の冗長行デコード回路6を活性化するためのものである。同様に、ヒューズセット回路8-4は、外部の列アドレスYAが、このヒューズセット回路8-4にあらかじめ記憶された不良の列アドレスと一致した場合、冗長列活性化信号YREにより冗長列デコード回路7を活性化するためのものである。ヒューズセット回路8-3は、列アドレスYAと無関係に動作し、ヒューズセット回路8-4は、行アドレスXAと無関係に動作する。

【0010】ヒューズセット回路8-3からの冗長行活性化信号XREは、インバータ30により反転されて行デコード回路4に与えられ、冗長行活性化信号XREが活性化されたときに、行デコード回路4が非活性化されるように構成される。また、ヒューズセット回路8-4からの冗長列活性化信号YREは、インバータ31により反転されて列デコード回路5に与えられ、冗長列活性化信号YREが活性化されたときに、列デコード回路5が非活性化されるように構成される。

【0011】これらヒューズセット回路8-3および8-4の構成例を図8に示す。記憶回路14は、冗長回路を使用するか否かを選択するための選択情報と、不良アドレスとを記憶するためのものであり、これら選択情報および不良アドレスをそれぞれ記憶するヒューズ回路F

EおよびF(0)~F(n-1)を有する。各ヒューズ回路は、たとえば熔断ヒューズなどを用いて構成され、この熔断ヒューズの熔断・非熔断の各状態に対応させて1ビット分のデータを記憶するように構成される。ヒューズ回路FEは冗長回路の選択情報を記憶し、ヒューズ回路F(0)~F(n-1)は不良アドレスの各ビットデータを記憶する。

【0012】アドレス一致検出回路16は、ヒューズ回路F(0)~F(n)に記憶された不良アドレスの各ビットデータと、外部アドレスの各ビットデータAdd(0)~Add(n-1)とを比較して、これらが一致したときに一致検出信号MATCHを活性化させて出力するように構成される。AND回路17は、記憶回路14に記憶された選択情報とアドレス一致検出回路16からの一致検出信号MATCHとの論理積を演算して活性化信号REを出力する。すなわち、このヒューズセット回路は、不良アドレスと外部アドレスとが一致した場合に活性化信号REを活性化して出力するように構成される。

【0013】図8に示すヒューズセット回路を図7に示すヒューズセット回路8-3として用いる場合、ヒューズ回路FEに冗長行2を使用するか否かを選択するための情報を記憶させ、活性化信号REを冗長行活性化信号XREとして取り出す。また、図8に示すヒューズセット回路を図7に示すヒューズセット回路8-4として用いる場合、ヒューズ回路FEに冗長列3を使用するか否かを選択するための情報を記憶させ、活性化信号REを冗長列活性化信号YREとして取り出す。

【0014】たとえば、冗長行2を使用して不良を救済する場合、ヒューズセット回路8-3を構成するヒューズ回路FEに、選択情報として「1」を書き込んで記憶させる。また、ヒューズ回路F(0)~F(n-1)には、不良の行アドレスの各ビットデータを書き込む。なお、冗長行2または冗長列3のいずれを使用するかは、不良セルの発生形態(不良モード)に応じて判断され、ヒューズセット回路8-3または8-4に必要なデータが記憶される。

【0015】この場合、ヒューズセット回路8-3をなす図8に示すヒューズ回路FEは、論理値「1」を出力する。また、ヒューズ回路F(0)~F(n-1)は、その出力信号FOUT(0)~FOUT(n-1)として、不良の行アドレスの各ビットデータを出力する。アドレス一致検出回路16は、外部からの行アドレスの各ビットデータAdd(0)~Add(n-1)と、ヒューズ回路F(0)~F(n-1)からの不良アドレスの各ビットデータとを比較し、これらが一致したときに一致検出信号MATCHを活性化させて論理値「1」を出力する。AND回路17は、ヒューズ回路FEの出力信号とアドレス一致検出回路16の出力信号とが共に論理値「1」となった場合、活性化信号REを活性化させて

論理値「1」を出力する。

【0016】すなわち、図7に示すヒューズセット回路8-3は、冗長行2を使用するか否かを選択するための選択情報として「1」が書き込まれ、外部からの行アドレスが不良の行アドレスと一致した場合、冗長行活性化信号XREを活性化する。仮に、ヒューズセット回路8-3に記憶された選択情報が「0」（未書き込み状態）であれば、冗長行活性化信号XREは非活性化状態に固定される。

【0017】以下、従来の半導体記憶装置が備える冗長回路の全体動作について、上述のように、ヒューズセット回路8-3に冗長行2を使用して不良を救済するための情報が書き込まれている場合を例とし、図7を参照して説明する。

【0018】外部からの行アドレス信号XAは、行デコード回路4とヒューズセット回路8-3とに入力される。ヒューズセット回路8-3は、行アドレスXAと不良の行アドレスとを比較し、これらが一致した場合に冗長行活性化信号XREを活性化する。冗長行活性化信号XREが活性化されると、これを入力する冗長行デコード回路6が活性化されると共に、冗長行活性化信号XREの反転信号が与えられる行デコード回路4が非活性化される。これにより、冗長行2が選択され、メモリセルアレイ1のすべてのXアドレス選択線（ワード線）が非選択状態とされる。この結果、不良の行アドレスで選択されるメモリセルアレイ1の正規の行が冗長行2に置き換えられ、不良セルが救済される。

【0019】なお、冗長列3を使用する場合には、ヒューズセット回路8-4に対して必要な情報（冗長列3を使用するか否かを選択する情報と不良の列アドレス）を書き込めばよい。これにより、外部の列アドレスが不良の列アドレスと一致したときに、不良の列アドレスで選択されるメモリセルアレイ1の正規の列が冗長列3に置き換えられる。

【0020】

【発明が解決しようとする課題】ところで、上述の従来の半導体記憶装置では、冗長行2を使用する場合にはヒューズセット回路8-3に対してのみ必要な情報を書き込み、冗長列3を使用する場合にはヒューズセット回路8-4に対してのみ必要な情報を書き込む。換言すれば、ヒューズセット回路8-3および8-4が備える記憶回路14は、それぞれ冗長行2および冗長列3を使用する場合にしか使用されない。このため、各ヒューズセット回路に着目すれば、不良の救済に対して柔軟に対応することができず、リダンダンシのフレキシビリティに欠けるという問題があった。

【0021】この発明は、上記事情を考慮してなされたもので、不良アドレスを記憶するためのヒューズセット回路が、アドレス空間の各次元の不良に対して柔軟に対応することができ、リダンダンシのフレキシビリティを

向上させることのできる半導体記憶装置を提供することを目的としている。

【0022】

【課題を解決するための手段】この発明は、行列状にメモリセルが配列されてなり、二次元のアドレス空間が割り付けられたメモリセルアレイと、上記メモリセルアレイに存在する不良セルを救済するための冗長行と、上記メモリセルアレイに存在する不良セルを救済するための冗長列と、外部アドレスをデコードして上記メモリセルアレイの行を選択するための行デコード回路と、上記外部アドレスをデコードして上記メモリセルアレイの列を選択するための列デコード回路と、上記メモリセルアレイの行または列のいずれか一方の不良アドレスを記憶し、該不良アドレスと上記外部アドレスとの一致を検出して、上記不良セルを置換する置換制御回路と、を備え、上記置換制御回路は、上記冗長行または上記冗長列のいずれか一方を選択することを特徴とする。この発明によれば、置換制御回路に記憶された不良アドレスにしたがって、冗長行または冗長列の選択が行われる。したがって、行または列のいずれの不良に対しても柔軟に対応することが可能となり、リダンダンシのフレキシビリティを向上させることができる。

【0023】また、この発明は、行列状にメモリセルが配列されてなり、二次元のアドレス空間が割り付けられたメモリセルアレイと、上記メモリセルアレイに存在する不良セルを救済するための複数の冗長行と、上記メモリセルアレイに存在する不良セルを救済するための複数の冗長列と、外部アドレスをデコードして上記メモリセルアレイの行を選択するための行デコード回路と、上記外部アドレスをデコードして上記メモリセルアレイの列を選択するための列デコード回路と、上記メモリセルアレイの行または列のいずれか一方の不良アドレスを記憶し、該不良アドレスと上記外部アドレスとの一致を検出して、上記不良セルを置換する複数の置換制御回路と、を備え、上記複数の置換制御回路のそれぞれは、上記冗長行または上記冗長列のいずれか一方を選択するように構成してもよい。この構成によれば、複数の不良モードに対応することが可能となり、不良に対する救済率を向上させることができる。

【0024】また、たとえば、上記置換制御回路は、上記不良アドレスとして行アドレスまたは列アドレスのいずれか一方を記憶する第1の記憶部と、上記第1の記憶部に記憶された不良アドレスが行アドレスであるか列アドレスであるかを特定するための情報を記憶する第2の記憶部と、上記外部アドレスの行アドレスと上記第1の記憶部に記憶された不良アドレスとの一致を検出する行アドレス一致検出回路と、上記外部アドレスの列アドレスと上記第1の記憶部に記憶された不良アドレスとの一致を検出する列アドレス一致検出回路と、上記第2の記憶部に記憶された情報に基づき上記行アドレス一致検出

回路または上記列アドレス一致検出回路のいずれか一方の検出結果を有効とするゲート手段と、を備えて構成される。この構成によれば、第2の記憶部に記憶された情報に基づき、第1の記憶部に記憶された不良アドレスが行アドレスまたは列アドレスのいずれかに定義される。そして、外部アドレスが第1の記憶部に記憶された不良アドレスと一致したときに、この不良アドレスが行アドレスであるか列アドレスであるかによって、冗長行または冗長列のいずれか一方が選択される。

【0025】さらに、上記第1の記憶部の一部は、上記不良アドレスとしての行アドレスと列アドレスとのビット数の大小関係に応じて上記第2の記憶部の一部を兼ねてもよい。たとえば、行アドレスのビット数が列アドレスのビット数よりも大きく、不良アドレスとして列アドレスを第1の記憶部に記憶する場合、第1の記憶部一部が余剰となる。そこで、この場合、余剰となった第1の記憶部の一部に、不良アドレスが列アドレスであることを特定する情報を記憶させる。同様に、列アドレスのビット数が行アドレスのビット数よりも大きい場合には、余剰となった第1の記憶部の一部に、行アドレスである

ことを特定する情報を記憶させる。これにより、第2の記憶部を独立に設ける必要がなくなり、第2の記憶部の回路規模を抑えることができる。

【0026】なお、この発明にかかる記憶回路に記憶される不良アドレスは、1次元であっても2次元であってもよく、特に限定されない。たとえば、メモリセルアレイに割り付けられたアドレス空間が、x、y、zの3次元である場合、不良アドレスがxの1次元であっても、yおよびzの2次元であってもよい。この場合、第1の記憶部に記憶される不良アドレスの次元に応じて、第2

の記憶部に記憶される情報が表す次元を定めればよい。

【0027】
【発明の実施の形態】以下、図面を参照して、行と列との2次元のアドレス空間が割り付けられたメモリセルアレイを有する半導体記憶装置を例として、この発明の実施の形態を説明する。なお、各図において、前述の図7および図8に示す要素と共通する要素には同一符号を付して、その重複する説明を省略する。

【0028】実施の形態1。図1に、この発明の実施の形態1にかかる半導体記憶装置の概略構成を示す。同図に示す半導体記憶装置は、前述の従来技術にかかる図7に示す半導体記憶装置の構成において、ヒューズセット回路8-3および8-4に替えて、この発明の特徴部をなす置換制御回路としての1セットのヒューズセット回路8Aを有する。

【0029】記憶装置がDRAMである場合の冗長行2、冗長列3およびメモリセルアレイ1の構成例を図2に示す。行および列の各方向には、行アドレスに基づき選択されるワード線WLと、列アドレスに基づき選択されるビット線対BL、bBLとが配線されており、これ

らワード線とビット線とが交差する所定位置にはメモリセルMが配置される。各メモリセルMは、一对のビット線BL、bBLに着目した場合、1本のワード線によりビット線BLまたはビット線bBLのいずれか一方に接続されたメモリセルのみが選択されるように配置される。メモリセルMは、セルトランジスタTとセルキャパシタCとからなり、セルキャパシタCの一端はプレート電極VPLに接続される。

【0030】冗長行2は、たとえば2本の冗長ワード線RWL1、RWL2を単位として構成され、冗長列3は、2本の冗長ビット線BL、bBLを単位として構成される。これら冗長行2および冗長列3は、メモリセルアレイ1の正規の行および列とそれぞれ等価な構成を有する。図2に示す例では、ワード線2本分の冗長行と、ビット線2本分の冗長列とを有する場合を示したが、必要に応じて冗長行および冗長列のサイズ（ワード線数、ビット線数）を定めればよい。また、各ビット線対BL、bBLには、図示しないセンスアンプなどが接続されている。

【0031】なお、先の図1に示すXアドレス選択線10、10aおよびYアドレス選択線11、11aは、メモリセルアレイ1上のメモリセルの位置を特定するための仮想的な信号線であり、実際のメモリセルアレイ上には、図2に示すように、ワード線およびビット線が配線されている。

【0032】ヒューズセット回路8Aの構成例を図3に示す。ヒューズセット回路8Aは、外部アドレス（行アドレスまたは列アドレス）と不良アドレスとの一致を検出して、不良アドレスが行アドレスであるか列アドレスであることを特定するための情報、すなわち不良アドレスのアドレス空間上の次元を表す情報（以下、「次元情報」と記す）に基づき冗長行2または冗長列3いずれか一方を選択するように構成される。具体的には、このヒューズセット回路8Aは、不良アドレスやその次元情報を記憶するための記憶回路14Aを有し、この記憶回路14Aに記憶された情報に基づき冗長行活性化信号XREまたは冗長列活性化信号YREのいずれかを活性化して、冗長行2または冗長列3いずれか一方を選択するように構成される。

【0033】記憶回路14Aは、不良の行アドレスまたは列アドレス（不良アドレス）を記憶するための第1の記憶部14A1としてのヒューズ回路F(0)～F(n-1)と、ヒューズ回路F(0)～F(n-1)に記憶された不良アドレスが行アドレスであることを特定する次元情報（以下、「行次元情報」と記す）を記憶するヒューズ回路FEXと、ヒューズ回路F(0)～F(n-1)に記憶された不良アドレスが列アドレスであることを特定する次元情報（以下、「列次元情報」と記す）を記憶するヒューズ回路FEYとを有し、これらヒューズ回路FEXおよびFEYは、不良アドレスが行アドレス

であるか列アドレスであるかを特定するための次元情報を記憶する第2の記憶部14A2を構成する。

【0034】ヒューズセット回路8Aは、上述の記憶回路14Aに加えて、この記憶回路14Aに記憶された不良アドレスと外部からの行アドレスYAとを比較して行一致検出信号XMATCHを活性化する行アドレス一致検出回路16Xと、同じく記憶回路14Aに記憶された不良アドレスと外部からの列アドレスYAとを比較して列一致検出信号YMATCHを活性化する列アドレス一致検出回路16Yと、記憶回路14Aに記憶された行次元情報と行アドレス一致検出回路16Xからの行一致検出信号XMATCHとの論理積を演算して冗長行活性化信号XREを出力するAND回路17と、記憶回路14Aに記憶された列次元情報と列アドレス一致検出回路16Yからの列一致検出信号YMATCHとの論理積を演算して冗長列活性化信号YREを出力するAND回路18とを有する。AND回路17および18は、記憶回路14Aに記憶された次元情報に基づき、行アドレス一致検出回路16Xまたは列アドレス一致検出回路16Yのいずれか一方の検出結果を有効とするゲート手段を構成する。

【0035】以上のように、この実施の形態1においては、記憶回路14Aを構成する1セットのヒューズ回路F(0)~F(n-1)は、不良の行アドレスを記憶するための記憶部として、あるいは不良の列アドレスを記憶するための記憶部として、行および列の不良救済に共用される。

【0036】図4(a)に、ヒューズ回路FEX、FEY、F(0)~F(n-1)の構成例を示す。同図に示すヒューズ回路は、電源と接地と間に、抵抗Rと溶断ヒューズfとを直列に接続し、溶断ヒューズfの溶断・非溶断の状態に対応させて、1ビットのデータを記憶するように構成される。このヒューズ回路によれば、ヒューズfが溶断されていない状態では、抵抗Rと溶断ヒューズfとの接続点がヒューズfを介して接地電位に短絡され、出力信号FOUTとして論理値「0」が出力される。また、ヒューズfが溶断された状態では、抵抗Rと溶断ヒューズfとの接続点には抵抗Rを介して電源電位が現れ、出力信号FOUTとして論理値「1」が出力される。ヒューズ回路は、この構成に限定されことなく、EEPROM(Electrically Erasable PROM)やFRAM(Ferroelectric RAM)等を用いて構成してもよい。

【0037】図4(b)に、行アドレス一致検出回路16Xおよび列アドレス一致検出回路16Yの構成例を示す。同図に示すように、アドレス一致検出回路は、外部アドレスの各ビットデータAdd(0)~Add(n-1)と、不良アドレスの各ビットデータFOUT(0)~FOUT(n-1)とを入力して、これらが一致した場合に論理値「1」を出力する複数のイクスクルーシブ

NORと、各イクスクルーシブNORの出力値の論理積を演算して一致検出信号MATCHを出力するAND回路とを有し、外部アドレスと不良アドレスとが一致したときに一致検出信号MATCHを活性化するように構成される。なお、図4(b)に示す回路を、図3に示す行アドレス一致検出回路16Xとして用いる場合、図4(b)において、Add(0)~Add(n-1)を行アドレスXAとし、一致検出信号MATCHを行一致検出信号XMATCHとする。また、図3に示すアドレス一致検出回路16Yとして用いる場合は、Add(0)~Add(n-1)を列アドレスYAとし、一致検出信号MATCHを列一致検出信号YMATCHとする。

【0038】以下、この発明の実施の形態1にかかる半導体記憶装置の冗長回路の動作について、この半導体記憶装置の特徴部をなす図3に示すヒューズセット回路8の動作を中心に説明する。

【0039】たとえば、図1に示す冗長行2を使用して不良を救済する場合、図3に示すヒューズセット回路8Aのヒューズ回路F(0)~F(n-1)に不良の行アドレスの各ビットデータを書き込み、ヒューズ回路FEXに行次元情報として論理値「1」を書き込んで記憶する。ヒューズ回路FEYの列次元情報は「0」(未書き込み状態)のままとする。

【0040】行アドレス一致検出回路16Xは、外部の行アドレスXAと、ヒューズ回路F(0)~F(n-1)に記憶された不良アドレスとを比較し、これらが一致した場合に行一致検出信号XMATCHを活性化させる。この行アドレス一致検出回路16Xの動作と並行して、列アドレス一致検出回路16Yは、外部の列アドレスYAと、ヒューズ回路F(0)~F(n-1)に記憶された不良アドレスとを比較し、これらが一致した場合に列一致検出信号YMATCHを活性化させる。

【0041】AND回路17は、ヒューズ回路FEXから論理値「1」を入力し、行アドレス一致検出回路16Xからの行一致検出信号XMATCHに応じて冗長行活性化信号XREを活性化する。この冗長行活性化信号XREを入力する図1に示す冗長行デコード回路6は、外部からの行アドレスが不良の行アドレスと一致したときに活性化されて冗長行2を選択する。換言すれば、行アドレス一致検出回路16Xが一致検出した場合、ヒューズ回路FEXに記憶された行次元情報に応じて冗長行活性化信号XREが活性化されて冗長行2が選択される。このとき、行デコード回路4は、冗長行活性化信号XREの反転信号に制御されて非活性状態とされ、メモリセルアレイ1のすべてのワード線が強制的に非選択状態とされる。この結果、不良の行アドレスで選択されるメモリセルアレイ1の行(不良セル)が冗長行2に置き換えられる。

【0042】一方、ヒューズセット回路8Aを構成するAND回路18は、ヒューズ回路FEYから論理値

「0」を入力するので、冗長列活性化信号YREが非活性化状態に固定される。したがって、この冗長列活性化信号YREを入力する図1に示す冗長列デコード回路7は非活性化され、冗長列3は非選択状態に固定される。このとき、冗長列活性化信号XREの反転信号を入力する列デコード回路5は、活性化状態となって通常の動作を行い、外部の列アドレスYAに基づきメモリセルアレイ1の列を選択する。

【0043】上述の動作の説明では、冗長行2を使用する場合について述べたが、冗長列3を使用する場合には、ヒューズ回路FEYに列次元情報として論理値「1」を記憶させると共に、ヒューズ回路F(0)～F(n-1)に不良の列アドレスを記憶させる。この場合、冗長列活性化信号YREは、列一致信号YMATCHに応じて活性化される。この結果、外部からの列アドレスYAが不良アドレスと一致したときに冗長列3が選択されると共に、列デコード回路5が非選択状態とされ、不良の列アドレスで特定されるメモリセルアレイ1の列(不良セル)が冗長列3に置き換えられる。

【0044】以上説明したように、この実施の形態1によれば、行アドレス一致検出回路16Xおよび列アドレス一致検出回路16Yの検出結果は、ヒューズ回路FEXおよびFEYにそれぞれ記憶された行次元情報および列次元情報により有効または無効とされる。換言すれば、記憶部14Aに記憶された不良アドレスが行アドレスであるか列アドレスであるかは、ヒューズ回路FEXおよびFEYに記憶された行次元情報および列次元情報により定められ、ヒューズ回路F(0)～F(n-1)に記憶された不良アドレスを、不良の行アドレスまたは列アドレスのいずれとすることもできる。したがって、ヒューズセット回路8Aは、行または列のいずれの不良アドレスをも記憶することができ、1セットのヒューズセット回路で行および列の各不良に対応することが可能となる。また、1セットのヒューズセット回路を、不良の行アドレスの記憶部と列アドレスの記憶部として共用すれば、ヒューズセット回路の数を減らすことも可能となる。

【0045】なお、上述の実施の形態1では、行次元情報および列次元情報をそれぞれ記憶するためのヒューズ回路FEXおよびFEYを設けてヒューズセット回路8Aを構成したが、これに限定されることなく、たとえば、冗長行2または冗長列3のいずれかを特定するための情報をコード化して記憶するように構成してもよい。これにより、たとえば16次元のアドレス空間の次元を特定するためには、4ビットの次元情報で足り、ヒューズセット回路の規模の増加を有効に抑えることができる。

【0046】実施の形態2。以下、n+1ビットの行アドレスとnビットの列アドレスを有するアドレス空間が割り付けられたメモリセルアレイを有する場合を例とし

て、この発明の実施の形態2を説明する。

【0047】この実施の形態2にかかる半導体記憶装置は、上述の実施の形態1にかかる図3に示すヒューズセット回路8Aに替えて、図5に構成を示すヒューズセット回路8Bを備え、ヒューズ回路F(0)(第1の記憶部14B1の一部)が、不良の行アドレスのビット数と不良の列アドレスのビット数との大小関係に応じて、図3に示すヒューズ回路FEY(第2の記憶部14B2の一部)を兼ねるように構成される。

【0048】すなわち、このヒューズセット回路8Bは、図3に示すヒューズセット回路8Aの構成において、記憶回路14AおよびAND回路18に替え、ヒューズ回路FEXおよびF(0)～F(n)からなる記憶回路14Bと、ヒューズ回路FEXの出力信号を反転させるインバータ20と、このインバータ20の出力信号とヒューズ回路F(0)の出力信号との論理積を演算するAND回路21と、AND回路21の出力信号と列アドレス一致検出回路16Yの出力信号との論理積を演算して冗長列活性化信号YREを得るAND回路22とを有する。インバータ17およびAND回路17、21、22は、記憶回路14Bに記憶された次元情報に基づき行アドレス一致検出回路16Xまたは列アドレス一致検出回路16Yのいずれか一方の一致検出力を有効とするためのゲート手段を構成する。

【0049】以下、この発明の実施の形態2にかかる半導体記憶装置の動作について、図1を援用して、ヒューズセット回路8Bの動作を中心に説明する。まず、前述の冗長行2を使用して不良を救済する場合、ヒューズセット回路8Bのヒューズ回路FEXに、行次元情報として「1」を記憶し、n+1個のヒューズ回路F(0)～F(n)には、n+1ビットからなる不良の行アドレスの各ビットデータを記憶する。この場合、ヒューズ回路FEXから論理値「1」が出力され、ヒューズ回路F(0)～F(n)からは、不良アドレスの各ビットデータが出力される。ヒューズ回路FEXから論理値「1」を入力するAND回路17は、行一致検出信号XMATCHに基づき冗長行活性化信号XREを活性化する。この結果、冗長行活性化信号XREを入力する図1に示す冗長行デコード回路6が活性化され、外部の行アドレスXAが不良アドレスと一致したときに冗長行2が選択される。一方、ヒューズ回路FEXの出力信号の反転信号(論理値「0」)を入力するAND回路21は論理値「0」を出力し、これを入力するAND回路22は冗長列活性化信号YREを非活性化状態に固定する。したがって、この場合、冗長列3は非選択状態に固定される。

【0050】次に、冗長列3を使用して不良を救済する場合、ヒューズ回路F(0)に列次元情報として論理値「1」を記憶し、n個のヒューズ回路F(1)～F(n-1)には、nビットからなる不良の列アドレスの各ビットデータを記憶する。ヒューズ回路FEXの行次元情

報は「0」とする。この場合、ヒューズ回路FEXおよびF(0)は、論理値「0」および「1」をそれぞれ出力する。

【0051】ヒューズ回路FEXから論理値「0」を入力するAND回路17は、冗長行活性化信号XREを非活性化状態に固定する。したがって、冗長行2は非選択状態に固定される。一方、AND回路21は、ヒューズ回路FEXの出力信号の反転信号（論理値「1」）と、ヒューズ回路F(0)の出力信号（論理値「1」）とを入力して論理値「1」をAND回路22に与える。この結果、冗長列活性化信号YREは列一致検出信号YMATCHに応じて活性化され、外部の列アドレスYAが不良アドレスと一致したときに、冗長列3が選択される。

【0052】以上により、ヒューズセット回路8Bは、機能の上で、図3に示すヒューズセット回路8Aと等価になる。ただし、この実施の形態2によれば、本来、不良アドレスの1ビットを記憶するためのヒューズ回路F(0)が、図3に示すヒューズ回路FEYを兼ねるので、ヒューズ回路の数を削減することができる。

【0053】上述の説明では、行アドレスのビット数 $(n+1)$ が、列アドレスのビット数 (n) よりも大きい場合を例としたが、逆の場合には、図5に示す構成において、ヒューズ回路FEXを、列次元情報を記憶するためのヒューズ回路FEYとし、ヒューズ回路F(0)がヒューズ回路FEXを兼ねるように構成し、冗長行活性化信号XREと冗長列活性化信号YREとを入れ替えればよい。

【0054】実施の形態3。図6に、この発明の実施の形態3にかかる半導体記憶装置の構成を示す。前述の実施の形態1にかかる半導体記憶装置は、冗長行2および冗長列3に対して1セットのヒューズセット回路8Aを有するものであるが、この実施の形態3では、メモリセルアレイ1に対して複数の冗長行と複数の冗長列とを設け、一対の冗長行と冗長列に対して1セットのヒューズセット回路を割り当てて構成される。また、この実施の形態3では、図1に示すインバータ30および31に相当する要素として、冗長行活性化信号XRE1またはXRE2が活性化された場合にデコード回路4を非活性化状態とするためのNOR回路32と、冗長列活性化信号YRE1またはYRE2が活性化された場合に列デコード回路5を非活性化状態とするためのNOR回路33とが設けられる。

【0055】すなわち、図6に示すように、メモリセルアレイ1は、冗長行2-1、2-2および冗長列3-1、3-2を有し、これら冗長行および冗長列に対して冗長行デコード回路6-1、6-2および冗長列デコード回路7-1、7-2がそれぞれ設けられる。ヒューズセット回路8-1は、冗長行デコード回路6-1と冗長列デコード回路7-1に対して設けられ、ヒューズセット回路8-2は、冗長行デコード回路6-2と冗長列デ

コード回路7-2に対して設けられる。ヒューズセット回路8-1および8-2は、図3に示すヒューズセット回路8Aまたは図5に示すヒューズセット回路8Bと等価な構成を有する。

【0056】以下、この発明の実施の形態3にかかる半導体記憶装置の動作について、冗長行2-1と冗長列3-2とを使用する場合を例として説明する。ヒューズセット回路8-1および8-2には、あらかじめ不良の行アドレスや列アドレスなどの必要な情報がそれぞれ記憶される。ヒューズセット回路8-1は、外部からの行アドレスXAと不良の列アドレスとが一致すると、冗長行活性化信号XRE1を活性化して冗長行デコード回路6-1を活性化する。冗長行デコード回路6-1が活性化されると、冗長行2-1が選択される。このとき、活性化された冗長行活性化信号XRE1を入力するNOR回路30は、論理値「0」を出力し、行デコード回路4を非活性化する。この結果、不良の行アドレスで選択されるメモリセルアレイ1の行（不良セル）が冗長行2-1に置き換えられる。

【0057】一方、ヒューズセット回路8-2は、外部からの列アドレスYAと不良の列アドレスとが一致すると、冗長列活性化信号列YRE2を活性化して冗長列デコード回路7-2を活性化する。冗長列デコード回路7-2が活性化されると、冗長列3-2が選択される。このとき、活性化された冗長列活性化信号YRE2を入力するNOR回路31は、論理値「0」を出力し、列デコード回路5を非活性化する。この結果、不良の列アドレスで選択されるメモリセルアレイ1の列（不良セル）が冗長行2-1に置き換えられる。

【0058】上述の説明では、冗長行2-1と冗長列3-2とを使用して不良を置換する場合を例としたが、この実施の形態3によれば、2セットのヒューズセット回路8-1および8-2を有するので、以下の8種類の置換が可能となる。

- 【0059】(1) 冗長行2-1のみを使用した置換
- (2) 冗長行2-2のみを使用した置換
- (3) 冗長列3-1のみを使用した置換
- (4) 冗長列3-2のみを使用した置換
- (5) 冗長行2-1と冗長行2-2とを使用した置換
- (6) 冗長行2-1と冗長列3-2とを使用した置換
- (7) 冗長列3-1と冗長行2-2とを使用した置換
- (8) 冗長行3-1と冗長列3-2とを使用した置換

したがって、この実施の形態3によれば、複数セットのヒューズセット回路を設けたので、たとえばワード線不良やビット線不良などの複数種類の不良モードに同時に対応することができ、不良の救済率を向上させることができる。

【0060】なお、上述の各実施の形態において、メモリセルアレイ1は二次元のアドレス空間が割り付けられたものとしたが、三次元以上のアドレス空間が割り付け

られたものであってもよく、このアドレス空間の次元数に応じてヒューズセット回路に記憶する不良アドレスの次元を定義すればよい。

【0061】

【発明の効果】以上述べたようにこの発明によれば、メモリセルアレイに割り付けられたアドレス空間の或る次元の不良アドレスと、この不良アドレスのアドレス空間上の次元を表す情報とを記憶するように構成したので、1セットのヒューズセット回路に対して異なる次元の不良アドレスを記憶させることが可能となる。したがって、各次元の不良に対して柔軟に対応することができ、リダンダンシのフレキシビリティを向上させることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1にかかる半導体記憶装置の概略構成を示すブロック図である。

【図2】この発明の実施の形態1にかかる半導体記憶装置が備えるメモリセルアレイの構成例を示す図である。

【図3】この発明の実施の形態1にかかる半導体記憶装置が備えるヒューズセット回路の構成例を示す図である。

【図4】(a)は、この発明の実施の形態1にかかるヒューズセット回路が備えるヒューズ回路の構成例を示す図である。(b)は、この発明の実施の形態1にかかる*

*ヒューズセット回路が備えるアドレス一致検出回路の構成例を示す図である。

【図5】この発明の実施の形態2にかかる半導体記憶装置が備えるヒューズセット回路の構成例を示す図である。

【図6】この発明の実施の形態3にかかる半導体記憶装置の概略構成を示すブロック図である。

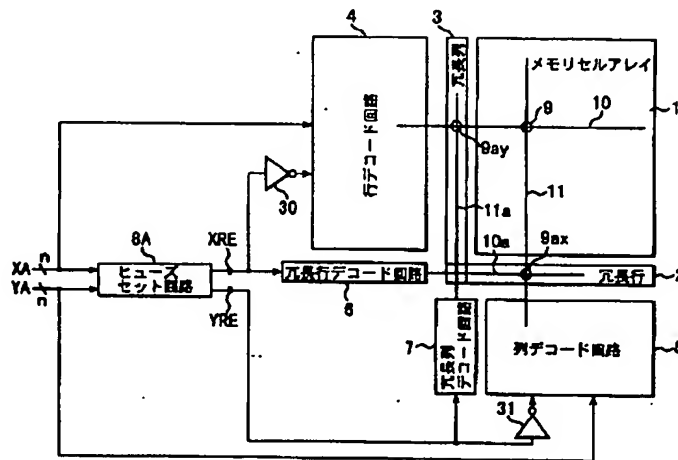
【図7】従来の半導体記憶装置の概略構成を示すブロック図である。

10 【図8】従来の半導体記憶装置が備えるヒューズセット回路の構成例を示す図である。

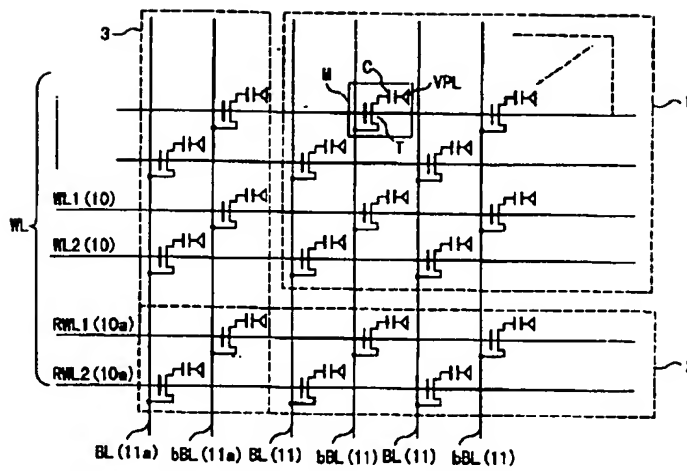
【符号の説明】

1…メモリセルアレイ、2、2-1、2-2…冗長行、3、3-1、3-2…冗長列、4…行デコード回路、5…列デコード回路、6、6-1、6-2…冗長行デコード回路、7、7-1、7-2…冗長列デコード回路、8A、8B、8-1、8-2…ヒューズセット回路、14A、14B…記憶回路、16X…行アドレス一致検出回路、16Y…列アドレス一致検出回路、17、18、21、22…AND回路、20、30、31、…インバータ、32、33…NOR回路、FEX、FEY、F(0)~F(n)…ヒューズ回路、R…抵抗、f…溶断ヒューズ。

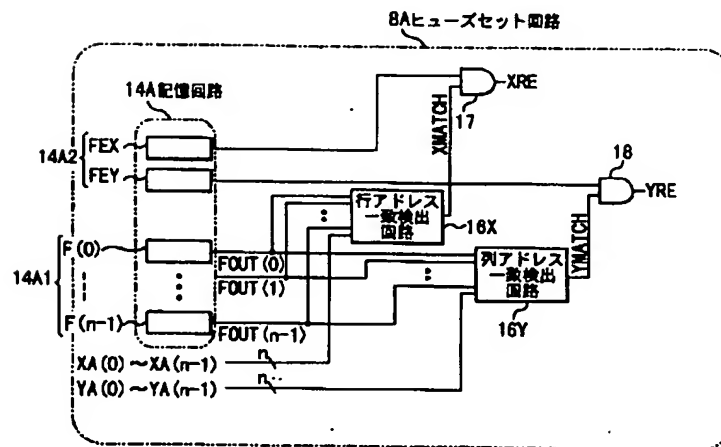
【図1】



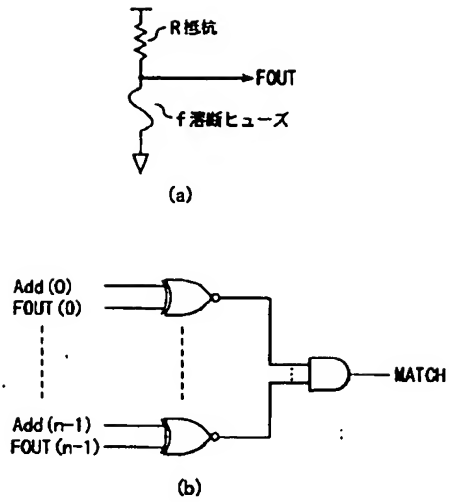
【図2】



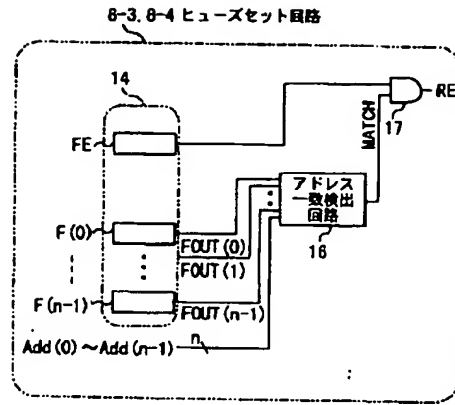
【図3】



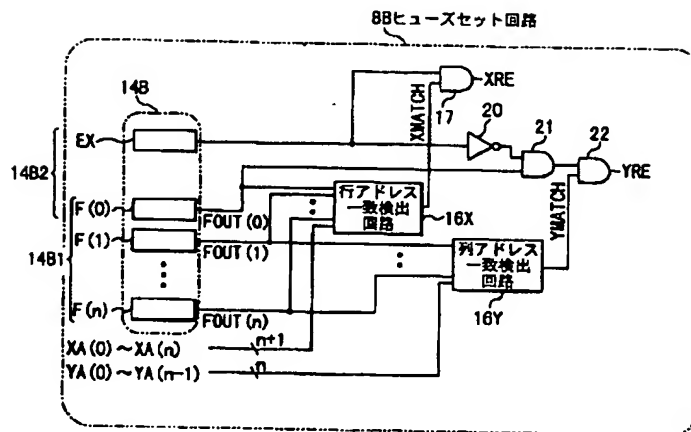
【図4】



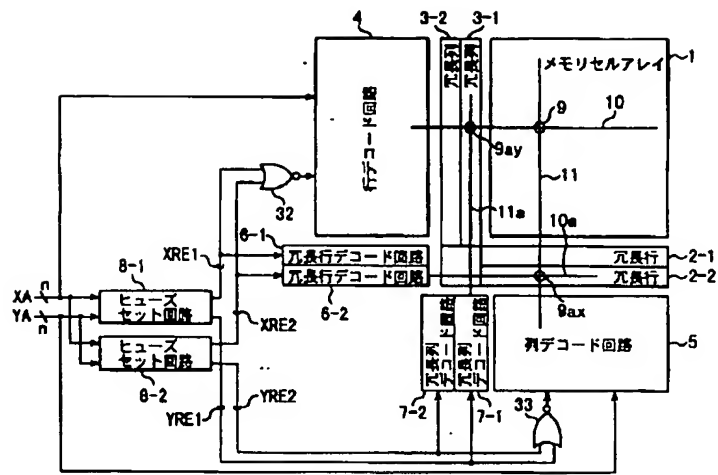
【図8】



【図5】



【図6】



【図7】

